

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085268

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-251756

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 22.09.1992

(72)Inventor : KOGA TAKEHARU

(30)Priority

Priority number : 03275842

Priority date : 24.10.1991

Priority country : JP

03324869

10.12.1991

04157095

17.06.1992

JP

04187173

15.07.1992

JP

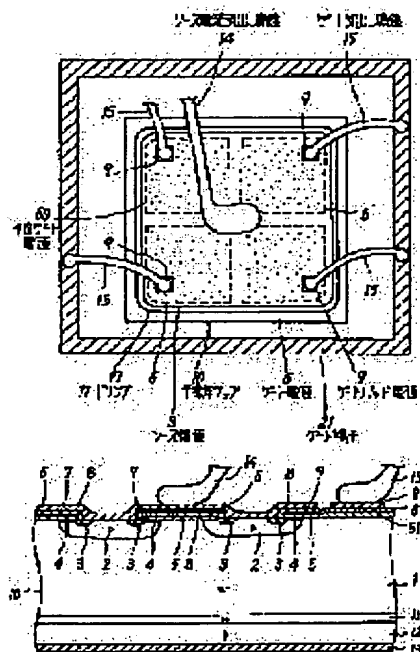
JP

## (54) POWER SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To use a chip as a whole even if the gate electrode of the chip has a local defect by a method wherein the gate electrode is divided and gate electrode pads are connected to the respective divided gate electrodes and only the divided gate electrode which has a region in which the defect exists is disconnected from a gate terminal.

CONSTITUTION: A plurality of square IGBT chips 10 are fixed to one metal substrate. A polycrystalline silicon layer formed on the upper surface of each IGBT chip 10 is divided into four gate electrodes 6. A source electrode 8 which is insulated from the gate electrodes 6 by an oxide film 7 is provided on the gate electrodes 6. Square gate pad electrodes 9 which are exposed from the apertures of the source electrode 8 are provided on the respective gate electrodes 6. If a defective gate electrode 60 exists, a lead wire 15 which is connected to the gate pad electrode 9 of the gate electrode whose gate-source dielectric strength does not reach a specified value is not connected to a gate terminal 21 but connected to a source terminal. With this constitution, a region beneath the gate electrode 60 is not operated as an IGBT.



## LEGAL STATUS

[Date of request for examination]

16.04.1998

[Date of sending the examiner's decision of rejection]



(11)特許出願公開番号

特開平6-85268

(43)公開日 平成6年(1994)3月25日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

### 技術表示箇所

H O I L 29/784

9168-4M

H O I L 29/ 78

**3 2 1 G**

9168-4M

3 2 1 T

審査請求 未請求 請求項の数24(全 12 頁)

(21)出願番号 特願平4-251756

(22)出願日 平成4年(1992)9月22日

(31)優先権主張番号 特願平3-275842

(32)優先日 平3(1991)10月24日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平3-324869

(32)優先日: 平3(1991)12月10日

(33)優先権主張国 日本(JP)

(31)優先權主張番号 特願平4-157095

(32)優先日 平4(1992)6月17日

(33)優先権主張国 日本(JP)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)發明者 古閑 丈嘯

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 弁理士 山口 巖

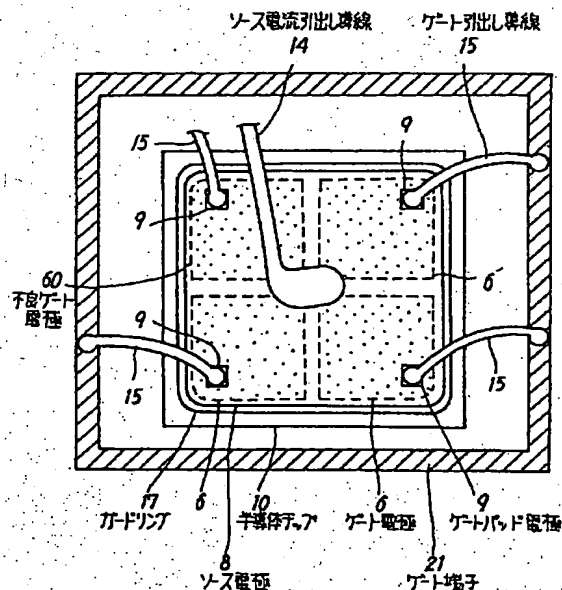
最終頁に続く

(54)【発明の名称】 電力用半導体素子およびその製造方法

(57)【要約】

【目的】主電流を制御するためのゲート電極を有する素子のチップを大面積化すると、ゲート電極と主電極との間の耐圧を不良にする欠陥が生じやすくなり、チップの歩留まりが低下する問題を解決する。

〔構成〕ゲート電極を複数個に分割し、各ゲート電極に接触させたゲートパッド電極をゲート端子に接続する。そして、ゲート・ソース間耐圧が出ない不良ゲート電極に接触するゲートパッド電極はゲート端子と接続しないか、その接続を途中で切断する。ゲートパッド電極とゲート端子との接続は、導線により個々に接続するか、一旦金属配線に接続し、一部のゲートパッド電極のみゲート端子に接続するか、あるいはゲートパッド電極を近接配置し、その中央に設けた集電用ゲートパッド電極を介してゲート端子に接続する。



## 【特許請求の範囲】

【請求項1】半導体基体の一主面上に主電流を流す主電極およびその主電極に絶縁された主電流制御用のゲート電極を備え、そのゲート電極が金属よりなるゲートパッド電極と接続され、そのゲートパッド電極がゲート端子と接続されるものにおいて、ゲート電極が複数個に分割され、各ゲート電極にそれぞれゲートパッド電極が接続されたことを特徴とする電力用半導体素子。

【請求項2】各ゲートパッド電極が半導体基体の前記主面上に主電極および半導体基体と絶縁して各ゲートパッド電極に近接して設けられた金属配線と導体を介して接続され、金属配線と接続されたゲートパッド電極の一部が導線を介してゲート端子に接続されたことを特徴とする請求項1記載の電力用半導体素子。

【請求項3】金属配線がゲートパッド電極に最も近接した部分にゲートパッド電極に向けての突出部を有する請求項2記載の電力用半導体素子。

【請求項4】ゲート端子と接続されるゲートパッド電極のみの面積が他のゲートパッド電極の面積より大きい請求項2あるいは3記載の電力用半導体素子。

【請求項5】各ゲートパッド電極が近接して配置され、それらの中央に各ゲートパッド電極と導体を介して接続される集電用ゲートパッド電極が設けられ、その集電用ゲートパッド電極が導線を介してゲート端子と接続された請求項1記載の電力用半導体素子。

【請求項6】分割されたゲート電極相互の分離部にゲート電極に接続される導体が存在せず、そのゲート電極相互の分離部上にまたがって主電極が設けられた請求項1ないし5のいずれかに記載の電力用半導体素子。

【請求項7】分割されたゲート電極上にゲートパッド電極と接続される環状のゲートライナが設けられ、そのゲートライナとゲート電極相互の分離部との間にはさまれた領域には、ゲートライナに囲まれた領域に形成される帯状ユニットセルの長さの約整数分の1の長さの帯状ユニットセルが各ユニットセルの長手方向を揃えて配置された1ないし6のいずれかに記載の電力用半導体素子。

【請求項8】分割されたゲート電極上にゲートパッド電極と接続される環状のゲートライナが設けられ、そのゲートライナに囲まれた領域には、ゲートライナとゲート電極相互の分離部との間にはさまれた領域に形成される帯状ユニットセルとはほぼ同じ長さの帯状ユニットセルの複数個が各ユニットセルの長手方向を揃えて配置された請求項1ないし6のいずれかに記載の電力用半導体素子。

【請求項9】各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極のみを導線によってゲート端子と接続する請求項1記載の電力用半導体素子の製造方法。

【請求項10】各ゲート電極のうち、同一半導体基体主面

上の主電極との間の耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極を、ソース電極と絶縁された条状導体層によって他の前記規定値を満足するゲートパッド電極に接続し、そのゲートパッド電極を導線によってゲート端子に接続し、前記規定値を満足しないゲート電極と前記条状導体層の間に絶縁膜を介在させる請求項1記載の電力用半導体素子の製造方法。

【請求項11】各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極を各ゲートパッド電極に近接した金属配線に接続し、その金属配線に接続されたゲートパッド電極のうち少なくとも一つをゲート端子に接続する請求項1ないし4ならびに6ないし8のいずれかに記載の電力用半導体素子の製造方法。

【請求項12】各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極を、各ゲートパッド電極の中央に位置した集電用ゲートパッド電極と導体を介して接続し、その集電用ゲートパッド電極を介してゲート端子と接続する請求項1および5ないし8のいずれかに記載の電力用半導体素子の製造方法。

【請求項13】各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足しないゲート電極に接続されたゲートパッド電極を前記主電極と短絡する請求項11あるいは12記載の電力用半導体素子の製造方法。

【請求項14】ゲートパッド電極と集電用ゲートパッド電極を接続する導体を蒸着で形成する請求項12あるいは13記載の電力用半導体素子の製造方法。

【請求項15】ゲートパッド電極と集電用ゲートパッド電極を接続する導体の蒸着と同時に同一半導体基体主面上の主電極との間の耐圧値が規定値を満足しないゲート電極に接続されたゲートパッド電極を前記主電極と接続する導体も蒸着で形成する請求項14記載の電力用半導体素子の製造方法。

【請求項16】同時に主電極上に導体層を蒸着する請求項14あるいは15記載の電力用半導体素子の製造方法。

【請求項17】蒸着に用いる遮蔽板の開口部を加圧打抜き法で形成する請求項14、15あるいは16記載の電力用半導体素子の製造方法。

【請求項18】各ゲートパッド電極を導体を介してゲート端子に接続したのち、主電極との間の耐圧値が規定値を満足しないゲート電極に接触するゲートパッド電極をゲート端子との接続導体を中間で切断することを特徴とする請求項1ないし8のいずれかに記載の電力用半導体素子の製造方法。

【請求項19】各ゲートパッド電極とゲート端子との接続導体を、各ゲートパッド電極に近接して設けられる金属配線、その金属配線と各ゲートパッド電極の間の短い接続導体および一部のゲートパッド電極とゲート端子との

接続導線から構成し、接続導体の切断を前記短い接続導体において行う請求項18記載の電力用半導体素子の製造方法。

【請求項20】各ゲートパッド電極とゲート端子との接続導体を、各ゲートパッド電極に近接して設けられる集電用ゲートパッド電極、その集電用ゲートパッド電極と各ゲートパッド電極との間の短い接続導体および集電用ゲートパッド電極とゲート端子との接続導線から構成し、接続導体の切断を前記短い接続導体において行う請求項18記載の電力用半導体素子の製造方法。

【請求項21】接続導体の切断を過電流を流すことによる接続導体の溶断によって行う請求項18、19あるいは20記載の電力用半導体素子の製造方法。

【請求項22】接続導体の切断をレーザー光を照射することによる接続導体の溶断によって行う請求項18、19あるいは20記載の電力用半導体素子の製造方法。

【請求項23】接続導体の切断をエッチング液による一部の除去によって行う請求項18、19あるいは20記載の電力用半導体素子の製造方法。

【請求項24】ゲート端子との接続導体を途中で切断したゲートパッド電極を同一半導体基体上の主電極と短絡する請求項18ないし23のいずれかに記載の電力用半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、主電流制御用のゲート電極をもち、ゲート電圧によりオン・オフ動作をする絶縁ゲートバイポーラトランジスタ（以下IGBTと略す）MOS型電界効果トランジスタなどの電力用半導体素子およびその製造方法に関する。

【0002】

【従来の技術】上記のような電力用の半導体素子は、半導体チップを金属などの基板上に固定し、主電流を流す主電極は、その電極面にボンディングされる導線によりチップ外の主端子へと接続される。また、主電極と絶縁されたゲート電極とゲート端子とは、その電極面に設けられたゲートパッド部にボンディングされる導線により接続される。このような素子のチップの大面積化は、1チップ当たりの電流容量の増大、オン電圧の低減を実現するとともに、耐圧向上のためのガードリング部やゲートパッド部の素子全体に占める比率を低くできることによる半導体ウェーハの利用効率の向上、モジュール組立時のワイヤボンディング数の低減などの利点がある。

【0003】

【発明が解決しようとする課題】しかし、チップの大面積化をする上での問題の一つとして、ゲート・ソース間耐圧不良の問題がある。IGBTやMOSFETの場合、ゲート電極の電圧によりチャンネルの開閉を行い、ドレイン電流のオン・オフを行う。ゲート・ソース間が短絡されていたり不十分な耐圧しかなかった場合、ドレイ

ン電流の正常な制御ができない。

【0004】図2は、従来のIGBTのユニットセルの一例の断面図であり、半導体チップ10の一方の主面に独立したpウェル2が高抵抗n<sup>-</sup>層1の表面に拡散により作られる。また、電子をn<sup>-</sup>層1に注入するためのnソース層3がpウェル2の表面層内に形成される。さらに、pウェル2の端部にソース層3からn<sup>-</sup>層1に電子を注入するMOSチャネル4を構成するために、pウェル2の端部の表面に薄いゲート酸化膜5を介して、例えば多結晶シリコンからなるゲート電極6を設ける。ゲート電極6の上は酸化膜7ですべて覆われ、その酸化膜で覆われないpウェル2およびソース層3の表面に接触するソース電極8が、例えばAl蒸着により形成されている。ゲート電極6の延長部上には、フィールド酸化膜51の上でソース電極と同時に蒸着後分離したゲートパッド電極9が接触している。ゲート電極6とソース電極8は酸化膜7で分離されているので、ゲート・ソース間に電圧を印加することができる。n<sup>-</sup>層1の下面側にはnバッファ層11を介してpドレイン層12が設けられ、そのドレイン層12の表面に接触するドレイン電極13が、例えばAl蒸着により形成されている。

【0005】図3は従来のIGBTのチップをソース電極側から見た平面図で、点線16で示された輪郭内に形成されているゲート電極6を覆うソース電極8に図2にも示したようにソース電流引出し導線14がボンディングされ、ソース電極8の窓部に露出するゲートパッド電極9に図2にも示したようにゲート引出し導線15がボンディングされている。ゲート引出し導線15はゲート端子に接続される。なお、チップ10の周辺部にはソース・ドレイン間耐圧を出すためのガードリング17がある。

【0006】このような構造において、例えばフォトリソプロセス時に酸化膜7にマスク設計以外の穴や欠陥が発生した場合、ゲート電極6となる多結晶シリコン層にソース電極8が接触する。また、ソース電極8と同時に蒸着されるゲートパッド電極9あるいはゲートラインとソース電極との間のエッチングによる分離が悪い場合、ゲート・ソース短絡となる。そのほか、ゲート電極6の下にゲート酸化膜5に欠陥がある場合もゲート・ソース間耐圧不良となる。

【0007】このような欠陥がチップ内で1個でもある場合、ゲート・ソース間耐圧不良となり、そのチップは使えない。フォトリソプロセスの改良などを重ねても、ウェーハ内で少なからず欠陥が発生することが避けられず、チップが大面積になるほどチップの歩留まりが落ちてくる。本発明の目的は、このような観点からゲート・ソース短絡が起きてもチップ全体として使用不能にならない電力用半導体素子あるいはその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するた

めに、本発明は半導体基体の一主面上に主電流を流す主電極およびその主電極に絶縁された主電流制御用のゲート電極を備え、そのゲート電極に金属よりなるゲートパッド電極と接続され、そのゲートパッド電極がゲート端子に接続される電力用半導体素子において、ゲート電極が複数個に分割され、各ゲート電極にそれぞれゲートパッド電極が接続されたものとする。そして、各ゲートパッド電極が半導体基体の主面上に主電極および半導体基体と絶縁して各ゲートパッド電極に近接して設けられた金属配線と導体を介して接続され、金属配線と接続されたゲートパッド電極の一部が導線を介してゲート端子に接続されたこと、その金属配線がゲートパッド電極に最も近接した部分にゲートパッド電極に向けての突出部を有すること、ゲート端子と接続されるゲートパッド電極のみの面積が他のゲートパッド面積より大きいことが有効である。あるいは、各ゲートパッド電極が近接して配置され、それらの中央に各ゲートパッド電極と導体を介して接続される集電用ゲートパッド電極が設けられ、その集電用ゲートパッド電極が導線を介してゲート端子に接続されたことが有効である。

【0009】さらにまた、分割されたゲート電極相互の分離部にゲート電極に接続される導体が存在せず、そのゲート電極相互の分離部にまたがって主電極が設けられたことが有効である。そのほかにも、分割されたゲート電極上にゲートパッド電極に接続される環状のゲートライナが設けられ、そのゲートライナとゲート電極相互の分離部との間にはさまれた領域には、ゲートライナに囲まれた領域に形成される帯状ユニットセルの長さの約整数分の1の長さの帯状ユニットセルが各ユニットセルの長手方向に揃えて配置されたか、あるいはゲートライナに囲まれた領域には、ゲートライナとゲート電極相互の分離部との間にはさまれた領域に形成される帯状ユニットセルとほぼ同じ長さの帯状ユニットセルの複数個が各ユニットセルの長手方向を揃えて配置されたことも有効である。

【0010】本発明の、ゲート電極が複数個に分割され、各ゲート電極がそれぞれゲートパッド電極を介してゲート端子と接続される上記の電力用半導体素子の製造方法としては、各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極のみを導線によってゲート端子と接続するか、あるいは各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極を、ソース電極と絶縁された条状導体層によって他の前記規定値を満足するゲートパッド電極に接続し、そのゲートパッド電極を導線によってゲート端子に接続し、前記規定値を満足しないゲート電極と前記条状導体層の間に絶縁膜を介在させるものとする。あるいは、各ゲート電極のうち、同一半導体基体主面上の主電極との間の

耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極を各ゲートパッド電極に近接した金属配線に接続し、その金属配線に接続されたゲートパッド電極のうち少なくとも一つをゲート端子と接続するものとする。あるいはまた、各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足するゲート電極に接続されたゲートパッド電極を、各ゲートパッド電極の中央に位置した集電用ゲートパッド電極と導体を介して接続し、その集電用ゲートパッド電極を介してゲート端子に接続するものとする。そして、それらの場合、各ゲート電極のうち、同一半導体基体主面上の主電極との間の耐圧値が規定値を満足しないゲート電極に接続されたゲートパッド電極を前記主電極と短絡することもある。また、ゲートパッド電極を集電用ゲートパッド電極と接続する導体を蒸着で形成すること、その導体の蒸着と同時に主電極との間の耐圧値が規定値を満足しないゲート電極に接続されたゲートパッド電極を前記主電極と接続する導体も蒸着で形成すること、さらに同時に主電極上に導体層を蒸着することが有効である。そのような蒸着に用いる遮蔽板の開口部を加圧打抜き法で形成することも有効である。

【0011】また本発明の、ゲート電極が複数個に分割され、各ゲート電極がそれぞれゲートパッド電極を介してゲート端子と接続される上記電力用半導体素子の別の製造方法としては、各ゲートパッド電極を導体を介してゲート端子に接続したのち、主電極との間の耐圧値が規定値を満足しないゲート電極に接触するゲートパッド電極をゲート端子との接続導体を中間で切断するものとする。そして、各ゲートパッド電極とゲート端子との接続導体を、各ゲートパッド電極に近接して設けられる金属配線、その金属配線と各ゲートパッド電極の間の短い接続導体および一部のゲートパッド電極とゲート端子との接続導線から構成し、接続導体の切断を前記短い接続導体において行うこと、あるいは各ゲートパッド電極とゲート端子との接続導体を、各ゲートパッド電極に近接して設けられる集電用ゲートパッド電極、その集電用ゲートパッドと各ゲートパッド電極との間の短い接続導体および集電用ゲートパッド電極とゲート端子との接続導線から構成し、接続導体の切断を前記短い接続導体において行うことが有効である。また、接続導体の切断を過電流を流すことによる、あるいはレーザー光を照射することによる接続導体の溶断によって行うこと、あるいはエッチング液による一部の除去によって行うことが有効である。さらに、ゲート端子との接続導体を中間で切断したゲートパッド電極を同一半導体基体上の主電極と短絡することが有効である。

【0012】

【作用】ゲート電極を複数個に分割することにより、主電極との間の耐圧の正常な良品部分のみのゲート電極をゲートパッド電極を介してゲート端子と接続することが

でき、接続されたものだけが素子の動作に関与する。ゲート端子に接続されなかったゲート電極には制御用の信号電圧が入力されないため、正常な動作を妨げることがない。そして、正常な良品部分のゲートパッド電極をゲート端子に接続するには、直接接続してもよく、先ず相互間を接続したのちそのうちの一部のゲートパッド電極のみをゲート端子に接続してもよい。後者の場合ゲート端子に接続するゲートパッド電極のみ他のゲートパッド電極より面積を大きくすればよいので、半導体基板面積の利用率が向上する。あるいは各ゲートパッド電極を近接して配置し、それらの中央にあってゲート端子に接続される集電用ゲートパッド電極に接続すれば、その接続は短い導体ですむので半導体基板面積の利用率が向上する。

#### 【0013】

【実施例】以下、図2、図3と共通の部分に同一の符号を付した図を引用して本発明の各実施例について説明する。本発明の一実施例では、図1のソース電極側から見た平面図に示すように、1枚の金属基板上に複数個固着された一辺20mmの方形IGBTチップ10の上面に形成された多結晶シリコン層が4個のゲート電極6に分割されている。これらのゲート電極6の上には図2に示したような酸化膜7で絶縁されたソース電極8が設けられるが、各ゲート電極6にもソース電極8の開口部で露出する0.7×1.5mmの方形のゲートパッド電極9が設けられている。このゲートパッド電極9とソース電極8とは、Alの蒸着後、フォトリソグラフィ、エッチングによりAl蒸着膜を分離することにより同時に形成される。この実施例ではゲート電極6の各分割領域のソース電極8は互いに連結されているが、ソース電極は素子製造工程の最終段階で接続されればよいので、この段階で必ずしも接続されていなくてもよい。

【0014】このような構造のソース電極8と各ゲートパッド電極9との間で各ゲート・ソース間の耐圧の測定を行う。ソース電極8はソース電流引出し導線14を介して図示しないソース端子に接続する。また、ゲートパッド電極9は超音波ボンディングされるゲート引出し導線15を介してチップ10と同一基板上に絶縁層を介して固着されたゲート端子21に接続するが、図に不良ゲート電極60として例示したように、ゲート・ソース間耐圧が規定値に達しないゲート電極のゲートパッド電極9にはボンディングされる導線15は、ゲート端子21に接続しないでソース端子に接続する。これにより、このゲート電極60の下方の領域にIGBTとしての動作をさせない。

【0015】図4に示した実施例では、IGBTチップ10のゲート電極6となる多結晶シリコン層が4個に分割されていることは図1と同様であるが、ゲートパッド電極9のうちの1個91のみ約1mm角の大きさで、他の3個のゲートパッド電極31は300μm角の大きさである。この素子では、ソース電極8の中央部に斜線を引いて示し

た上層ソース電極81が形成され、それにソース電流引出し導線14がワイヤボンディングされる。そして、ゲート電極6のうちゲート・ソース間耐圧が規定値以上にあるもののゲートパッド電極9のみを、図示しない絶縁膜に明けられたコンタクトホールを通して、上層ソース電極81と同時にAl蒸着膜から形成されるゲートパッド配線22により寸法の大きなゲートパッド電極91と接続し、このゲートパッド電極91をワイヤボンディングされるゲート引出し導線15によりゲート端子に接続する。ゲート・ソース間耐圧が規定値に達しないゲート電極60のゲートパッド電極9にはコンタクトホール部分を別の絶縁膜によって覆い、Alゲート配線22によってゲートパッド電極91に接続されないようにする。

【0016】図5(a)、(b)は図4に示した実施例のIGBTチップの断面図で、Al蒸着で形成されたソース電極8およびゲートパッド電極9の上全面を絶縁膜として3μm程度の厚さのポリイミド樹脂からなる絶縁膜18で覆ったのち、ソース電極8の上およびゲートパッド電極9へのコンタクトホール部分が除去されている。そして、Al蒸着によって3μm程度の厚さに形成された上層ソース電極81がソース電極8に接触し、ゲート・ソース間耐圧の良好なゲート電極6に接続されたゲートパッド電極9には図(a)のようにポリイミド樹脂膜18に開けられたコンタクトホールでゲート配線22が接触している。しかし、図(b)に示すように、ゲート・ソース間耐圧が良好でないゲート電極60に接続されたゲートパッド電極9の上の絶縁膜18のコンタクトホールは第二の絶縁膜19で埋められ、この不良ゲート電極60がゲート配線22と接続されない。この実施例では第二の絶縁膜19もポリイミド樹脂で形成し、絶縁膜18とともに高温で焼成した。なお、この実施例では寸法の大きなゲートパッド電極91は1個だけであるが、このゲートパッド電極91の被着しているゲート電極6のゲート・ソース間耐圧が不良のときには、このゲートパッド電極をゲート端子と接続できないので、寸法の大きなゲートパッド電極を複数個設けるのが望ましい。

【0017】図4、図5に示した実施例では、図1に示した実施例に比して上層ソース電極81およびゲート配線22のためのAl蒸着や2層の絶縁膜18、19の形成など工程は増加するが、ゲートパッド電極9へのワイヤボンディング数の減少することならびにチップのより大面積化に有利なことなどの利点をもつ。図6は、本発明の異なる実施例のIGBTチップおよびその周辺部を示し、(a)はソース電極側から見た平面図、(b)は(a)のA部拡大図である。

【0018】IGBTチップ10の大きさは20mm角で、本発明によりゲート電極を形成する多結晶シリコン層は4分割されていて、一つのゲート電極6は約9mm角である。そして、ソース電極8の外側に設けられたゲートパッド電極9のうちの1個91のみは0.7mm×1.5mmの寸法

で大きく、他のものは $0.3\text{mm} \times 0.3\text{mm}$ の寸法で小さい。また、チップ10の周辺のp型領域のガードリング17の内側で、ゲート電極6の周縁に接近して閉じた環状のゲートライナ23が存在する。このゲートライナ23は、ソース電極8、ゲートパッド電極9と同時にAlの蒸着、フォトリソエッチングによるパターンニングで形成され、厚さ $5\mu\text{m}$ 、幅 $20\mu\text{m}$ 程度のAl膜からなる。このゲートライナ23はゲートパッド電極9とを接続していない状態では、ゲート電極6、ソース電極8およびガードリング17のいずれとも絶縁されている。ゲートライナ23の各ゲートパッド電極9に接近している部分では、図6(b)に示すように幅 $0.3\text{mm}$ 長さ $0.3\text{mm}$ の大きさを有する突出部24が形成されている。これにより、ゲートパッド電極9あるいは91とゲートライナの突出部24の間隔dは $10\mu\text{m}$ にせまられている。

【0019】ゲートパッド電極9とゲートライナ23を接続していない状態で各ゲート電極6とソース電極8の間の耐圧を測定した。そして、ゲート・ソース間耐圧が規定値に達したゲート電極6に接続されたゲートパッド電極9とゲートライナ突出部24を直径 $50\mu\text{m}$ のAl導線20を用いて超音波ワイヤボンディング法によって接続する。図7は図6(b)のB-B線断面図で、この接続部の断面を示す。ボンディング時の超音波によって導線20のAlが流動することや、ツールの加圧力によってゲートパッド電極9とゲートライナ突出部24の間にAlがもぐり込むが、半導体基体は酸化膜7およびフィールド酸化膜51によって保護されるので、Al導線20は半導体基体の一部であるn<sup>-</sup>層1とは絶縁される。そして面積の大きいゲートパッド電極91には、強度を考慮して直径 $200\mu\text{m}$ 程度のAl線を用いるゲート引出し導線15をボンディングし、チップ10と同一基板上に絶縁層を介して固着されたゲート端子21と接続する。この接続のためには、ボンディングワイヤの太さ、ボンディングの際の位置合わせの誤差、溶融した導線のたれ、ボンディング熱の放熱を考慮して、 $0.7\text{mm} \times 1.5\text{mm} = 1.05\text{mm}^2$ の大きさのゲートパッド電極91が必要であるが、細い導線20で接続されるゲートパッド電極9は小さく、ゲートライナ突出部24の面積を合わせても $0.3\text{mm} \times (0.3 + 0.3)\text{mm} = 0.18\text{mm}^2$ 程度であって、必要なチップ面積は著しく節約される。もし、ゲート電極の分割数を多くして一つのゲート電極を $3\text{mm}$ 角、面積 $9\text{mm}^2$ にすると、ゲート端子に直接接続する場合は、ゲートパッド電極に11.6%の面積を必要とするが、ゲートライナに接続する場合はゲート電極の2%程度の面積で済む。

【0020】図6においては、すべてのゲートパッド電極9、91をゲートライナ23と接続しているが、ゲート・ソース間耐圧が規定値に達しないゲート電極6のゲートライナと接続されないゲートパッド電極9は、ゲートが浮いていることによる誤動作を防ぐために、IGBTとしての動作をさせないようにソース電極8と接続する。

このゲートパッド電極9とソース電極8との接続は、直径 $50\mu\text{m}$ の導線を用いてのボンディングによって行う。なお、実施例では面積の大きなゲートパッド電極は91の1個だけであるが、このゲートパッド電極91の接続されたゲート電極6のゲート・ソース間耐圧が悪ければ、このチップはゲート端子21との接続ができないので、図4に示した実施例と同様、この場合も面積の大きなゲートパッド電極は複数個設けることが望ましい。

【0021】図8は、本発明のさらに異なる実施例の1IGBTチップおよびその周辺部の平面図で、図6の場合と同様に約 $9\text{mm}$ 角の大きさの4個のゲート電極6は、それぞれ内側で $0.3\text{mm} \times 0.3\text{mm}$ の寸法のゲートパッド電極9に接続されている。そして、チップの中央には $0.7\text{mm} \times 1.5\text{mm}$ の寸法の中央ゲートパッド電極93があり、この中央ゲートパッド電極93は、各ゲートパッド電極9からの電流の集電電極の役割をもち、必ずしも中央ゲートパッド電極93の下にゲート電極の層と接続している必要もないし、中央ゲートパッド電極93の下にゲート電極の層がある必要もない。

【0022】ソース電極8、ゲートパッド電極9及び中央ゲートパッド電極93は同時にAlの蒸着、フォトリソエッチングによるパターンニングで形成され、厚さ $5\mu\text{m}$ である。そして、各々のゲートパッド電極9と中央ゲートパッド電極93の間には、Al導体30がある。Al導体30は、2回目のAlの蒸着時に遮蔽板を用いたパターンニングで形成され、厚さ $20\mu\text{m}$ である。このAl導体30の蒸着の前に各ゲート電極6と、ソース電極8の間の耐圧を測定する。

【0023】図9(a)～(d)はAl導体20形成の2回目のAl蒸着工程を示す。図9(a)は図8に示すようなチップ10が4個形成されたシリコンウエーハ40を示し、図9(b)、(c)はAl蒸着に用いられる遮蔽板で、図9(b)に示す遮蔽板41は厚さ $0.2\text{mm}$ の薄い金属板からなり、斜線を引いて示した穴31、32をパンチで容易に明けることができる。穴31はゲート・ソース間耐圧が規定値に達しているゲート電極に接続されたゲートパッド電極9と中央ゲートパッド電極93とにまたがる領域に対応する部分明けられている。穴32は、耐圧が規定値に達していないゲート電極に接続されたゲートパッド電極9と周辺のソース電極8にまたがる領域に対応する部分に明けられている。図9(c)に示す遮蔽板42は厚さ $1\text{mm}$ の厚い金属板からなり、各チップ10に対応する部分に網目状の穴33が明けられている。この遮蔽板42は遮蔽板41の固定用であり、図10に示すように固定用治具43を用いて配置し、矢印44に示す方向からのAl粒子により蒸着を行う。

【0024】その結果、ゲート・ソース間耐圧が規定値に達したゲート電極は、それに接続されたゲートパッド電極9と中央ゲートパッド電極93との間に、Al導体30が形成され、ゲート端子と電気的に接続される。一方、ゲート・ソース間耐圧が規定値に達しないゲート電極



は、それに接続されたゲートパッド電極9とソース電極8との間がAl導体30によって接続され、GSショートされる。また遮蔽板41に、図9(d)に示すようにソース部分に対応する部分にも穴34を明けておけば、蒸着の際にソース部分にもAlが上積みされ、Alの配線の抵抗およびインダクタンスを小さくすることができる。

【0025】上記実施例では2枚の遮蔽板を用いたが、これは薄い方の遮蔽板を変えることでチップの不良ゲート電極がどこに現れても対応でき、かつパンチなどの加圧打ち抜きにより簡単に穴があくことによる。本質的には、図9(b)の 패턴の遮蔽板1枚で十分であり、厚さを厚くしてチップ不良部分を変えたパターンを多数作成しておき、ウェーハに対応して選別する方法をとることもできる。

【0026】図11は本発明の別の実施例のIGBTチップおよびその周辺部を示し、(a)は平面図、(b)は(a)のC部拡大図、(c)は(b)のD-D線断面図である。この実施例において、図8に示した実施例と同様に設けられたゲートライナ23の突出部24とゲートパッド電極9との接続が帯状導体30で行われる。この帯状導体30は、ソース電極8、ゲートパッド電極9、ゲート電極9と同時にAlの蒸着、フォトリソによるパターンニングで形成され、厚さ5 $\mu$ m、長さ500 $\mu$ m程度のAl膜からなる。そして、この接続導体30の中央の長さ30 $\mu$ mの部分35の幅は、他の部分の幅20 $\mu$ mより狭い10 $\mu$ mにされて

いて切断しやすくしてある。またこの接続導体30は、ソース電極8および半導体基体と絶縁されている。

【0027】このように接続導体30でゲートパッド電極とゲートライナ23が接続されている状態で、各ゲート電極6とソース電極8の間の耐圧を測定する。耐圧の測定は、ゲートパッド電極9あるいは91の一つとソース電極8の2箇所

にプローブ針をあてて行う。そして、ゲート・ソース間の電流が電圧35V印加した場合に1mAを超える場合には、ソース電極8に1本、ゲートパッド電極9あるいは91に2本、それと導体20を介して接続されているゲートライナ突出部24に1本の計4本のプローブ針を立て、ソース電極8に立てた針とゲートパッド電極9あるいは91に立てた針のうちの1本の間に100mA程度のパルス電流を流す。このときにゲートパッド電極9(91)に立てた針の他の他の1本とゲートライナ突出部24にたてた針の間の電圧を測定する。針を立てたゲートパッド電極に接続されたゲート電極の領域でもれ電流が発生している場合、もれ電流はゲートパッド電極9(91)→ゲート電極6→不良箇所→ソース電極8のルートで流れ、ゲートパッド電極9(91)と接続された導体30には電流は流れない。よって、ゲートパッド電極9(91)とゲートライナ突出部24の間に電位差は生じない。

【0028】針を立てたゲートパッド電極に接続されたゲート電極の領域以外でもれ電流が発生している場合、もれ電流はゲートパッド電極9(91)→接続導体30→ゲ

トラライナ23→他の接続導体30→他のゲートパッド電極9(91)→他の領域のゲート電極6→不良箇所→ソース電極8のルートで流れ、針を立てたゲートパッド電極9(91)と接続された帯状導体30に電流が流れる。よってゲートパッド電極9(91)とゲート突出部24の間に電位差を生じる。帯状導体30の抵抗値は0.1 $\Omega$ 程度であるので、生じる電位差は10mV程度になる。この電位差の有無により不良のゲート電極6と接触するゲートパッド電極9(91)を特定でき、特定した不良のゲート電極延長部上のゲートパッド電極に接続された帯状導体30を切断する。

【0029】接続導体30を切断するのには、ゲートパッド電極9(91)に立てた針とそれと帯状導体30を介して接続されたゲートライナ突出部24に立てた針の間に電流を流して導体30を溶断することによって行う。Alの帯状導体30は、電流1.5A程度から溶解し始め、2A程度で溶断した。その溶断箇所は、電流密度が大きくなる帯状導体を細くした部分35であった。この帯状導体30と半導体基板1との間には、フィールド酸化膜51、多結晶シリコンからなるゲート電極6、酸化膜7があり、酸化膜7およびゲート電極6が金属配線が溶断する際の衝撃を緩和して、半導体基体1およびフィールド酸化膜51への損傷を防止するので、溶断によって他の特性に影響はしていない。

【0030】接続導体30がその下のゲート電極6と接触していると、放熱がよくなって溶断しにくくなるとともに、帯状導体であるAl層が溶断した後も、このゲート電極を通して電流が流れる可能性があり、ゲート電極6の材料の多結晶シリコンの融点がAlの融点よりかなり高いため、ゲート電極の溶断にはさらに大きな電流を必要とする。また、ゲート電極6の下

のフィールド酸化膜51および半導体基体1への損傷も避けられない。従って、接続導体30はゲート電極6と接触しないようにしておく必要がある。

【0031】上述の方法により、不良のゲート電極6の延長部上のゲートパッド電極9(91)に接続された帯状導体30を順次切断していく。このことにより、チップ内で不良のゲート電極と良好なゲート電極とを絶縁することができる。さらに、ゲート・ソース間耐圧が規定値に達しないゲート電極6延長部上のゲートパッド電極9は、ゲートが浮いていることによる誤動作を防ぐために、IGBTとしての動作をさせないようにソース電極8と接続する。そのあと、ソース電極8にソース電流引出し導線14を超音波ワイヤボンディングにより連結し、外部のソース端子へと接続する。ゲートパッド電極91には、ゲート引出し導線15を超音波ワイヤボンディングにより連結し、外部のゲート端子へ接続する。なお、図1ではゲート端子と接続されるゲートパッド電極91を1個だけ形成したが、複数個にしてもよい。

【0032】図12(a)、(b)は本発明の他の実施例を示す。この実施例では、図8に示した実施例と同様、ゲ

ト引出し導線15が接続される中央ゲートパッド電極93がチップ10の中央部に配置されている。各ゲート電極6上には各ゲートパッド電極9が接触しており、そのゲートパッド電極9と中央のゲートパッド電極93とは常導体30により接続されている。図4(b)は(a)のE部拡大図であり、接続導体30は図1(b)で示したものと同様に中央部35が細くしてある。図12に示す構造の素子も、図11で示した構造の素子と同様の製造方法、すなわち不良のゲート電極60に接触するゲートパッド電極9からの接続導体30を過電流を流して溶断することによりすべて使用可能にする。この場合、電流を流すための針を立てる場所は、各ゲートパッド電極9と中央ゲートパッド電極93である。不良のゲート電極6に接触するゲートパッド電極9からの金属配線をすべて切断することにより、不良のゲート電極と正常なゲート電極とを絶縁することができ、チップの修理が実現できる。なお図11ではゲート端子と接続されるゲートパッド電極93がチップ10内で1個であるが、複数個設けてもよい。

【0033】上記の実施例では、ゲート電極の分割数は4であったが、欠陥部分はチップに分散して存在するので、分割数を増加しても接続導体の切断数は著しく多くなることはなく、工数の増大を伴わない。例えばチップに不良箇所が10箇所存在すると仮定すると、分割数20で切断箇所は7〜8箇所程度あり、分割数を増して10箇所全部切断する場合と大差がない。図13は図1に示したIGBTのゲート電極6相互の間の分離部を示し、斜線を引いて示したソース電極8も分離されている。図14に示す実施例では、分離されたゲート電極6相互を接続し、ゲートパッド電極9を通じての各ゲート電極6への電荷の供給を均等に行うためのゲートライナ23が、ゲート電極にはさまれた分離部50を通っている。図15に示す実施例では、ゲート電極分離部50に複数本、この場合は2本のゲートライナ23が通っており、ゲートライナ23相互は絶縁されている。しかし、図14、図15の場合には、ソース電極8とゲートライナ23との間の絶縁が悪いとゲート・ソース短絡になる。図16はこれに対し、既に図6においても示したようにソース電極8がゲート電極分離部50をまたいで連結して形成されている。これにより、ゲート端子21に接続されなかったゲート電極6を有する領域のソース電極8が、ゲート端子21に接続された領域のソース電極8からの電流通路の一つとなり、ソース電極8の抵抗による電圧降下を低減し、チップの飽和電圧を低減する。また、ゲート端子21に接続されなかったゲート電極を有する領域のソース電極は、放熱の効率をよくするのに役立つ。さらに、ゲート電極分離部50にゲートライナ23を設けないので、ゲート・ソース短絡のおそれがない。

【0034】図17に示す実施例では、ゲートパッド電極9とゲート電極6との接続のための金属よりなるゲートライナ25が設けられている。ゲートパッド電極9はゲート

ト電極6の縁部に配置することが難しいので、分離部50よりやや内部に入った場所に配置される。そして、ゲートライナ25を分離部50より遠い側をとり囲む環状にする。ゲート電極6の下には、図2に示す断面構造をもつユニットセルが複数個形成される。各ユニットセル上のゲート電極6への電荷供給は、ゲート端子21からゲートパッド電極9、ゲートライナ25を経由して行われる。従って電荷の供給は、分離部50とゲートライナ25にはさまれた領域のユニットセル26には、分離部50と反対側のゲートライナ25より行われるだけであるのに対し、ゲートライナ25に囲まれた領域のユニットセル27には長手方向の両側のゲートライナ25から行われるので、スイッチング動作に不均衡が生ずる。それをさけるために、セル26の長手方向の寸法をセル27の半分程度にして電荷の供給が均等に行われるようにする。同様の効果は、図18の示すように、ゲートライナ25に囲まれた領域、分離部50に近い領域のセル26と長手方向の寸法が同程度のセル28を2個、長手方向をセル26と同一にして配置することによって得られる。

【0035】

【発明の効果】本発明によれば、ゲート電極を分割してそれぞれにゲートパッド電極を接続することにより、ゲート・ソース間耐圧不良となる欠陥が生じて、その欠陥の存在する領域のゲート電極のみゲート端子へ接続しなくても、あるいは接続を遮断することによりその領域が素子の動作に関与しないようにすることができ、素子全体として使用可能になるため、絶縁ゲート型電力用半導体素子のチップの面積化による電流容量の増大、オン電圧の低減に極めて有効である。

【図面の簡単な説明】

【図1】本発明の一実施例のIGBTチップおよびその近傍の平面図

【図2】従来のIGBTチップの断面図

【図3】従来のIGBTチップの平面図

【図4】本発明の別の実施例のIGBTチップの平面図

【図5】図4のIGBTの耐圧良好ゲート電極を含む部分を(a)に、耐圧不良ゲート電極を含む部分を(b)に示す断面図

【図6】本発明の異なる実施例のIGBTチップおよびその近傍の平面図で、(a)は全体図、(b)は(a)のA部拡大図

【図7】図6のB-B線断面図

【図8】本発明のさらに異なる実施例のIGBTチップおよびその近傍の平面図

【図9】図4のIGBTのAl導体形成工程を示し、(a)は蒸着前のウエーハの平面図、(b)、(c)、(d)はそれぞれ使用される遮蔽板の平面図

【図10】図9の遮蔽板取付時のウエーハの側断面図

【図11】本発明の別の実施例のIGBTを示し、(a)はそのチップおよびその近傍の平面図、(b)は(a)のC部

15

拡大図、(c) は(b) のD-D線断面図

【図12】本発明の他の実施例のIGBTを示し、(a) はそのチップおよびその近傍の平面図、(b) は(a) のE部拡大図

【図13】本発明の一実施例のIGBTのゲート電極分離部近傍の拡大平面図

【図14】本発明の別の実施例のIGBTのゲート電極分離部近傍の拡大平面図

【図15】本発明のさらに別の実施例のIGBTのゲート電極分離部近傍の拡大平面図

【図16】本発明のさらに異なる実施例のIGBTのゲート電極分離部近傍の拡大平面図

【図17】本発明の一実施例の各分離ゲート電極に金属ゲートライナを有するIGBTの2個のゲート電極の平面図

【図18】本発明の別の実施例の各分離ゲート電極に金属ゲートライナを有するIGBTの2個のゲート電極の平面図

【符号の説明】

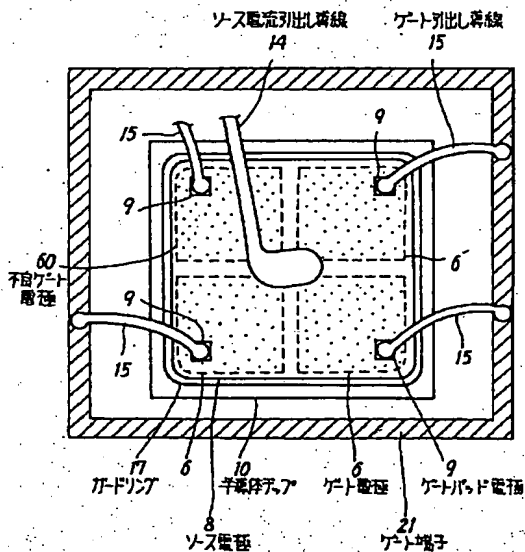
- 6 ゲート電極
- 60 不良ゲート電極
- 8 ソース電極
- 81 上層ソース電極
- 9 ゲートパッド電極
- 91 ゲートパッド電極

16

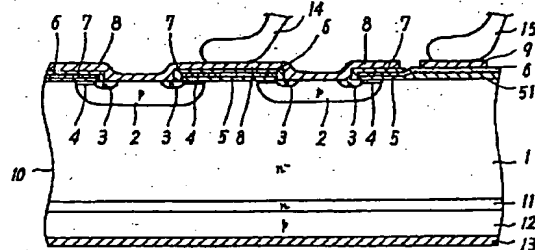
- \* 93 中央ゲートパッド電極
- 10 半導体チップ
- 14 ソース電流引出し導線
- 15 ゲート引出し導線
- 17 ガードリング
- 18 絶縁膜
- 19 絶縁膜
- 20 Al導線
- 21 ゲート端子
- 22 ゲート配線
- 23 ゲートライナ
- 24 突出部
- 25 ゲートライナ
- 26 ユニットセル
- 27 ユニットセル
- 28 ユニットセル
- 30 Al導体
- 31 穴
- 32 穴
- 20 33 穴
- 40 ウェーハ
- 41 遮蔽板
- 42 遮蔽板
- 50 ゲート電極分離部

\*

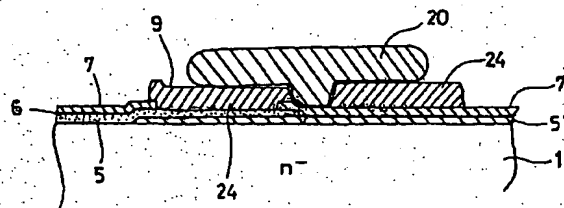
【図1】



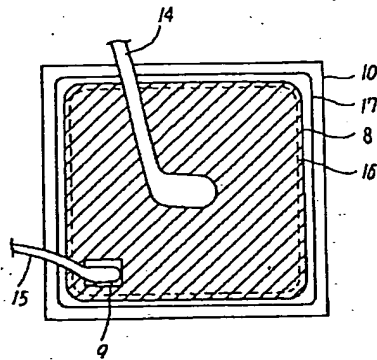
【図2】



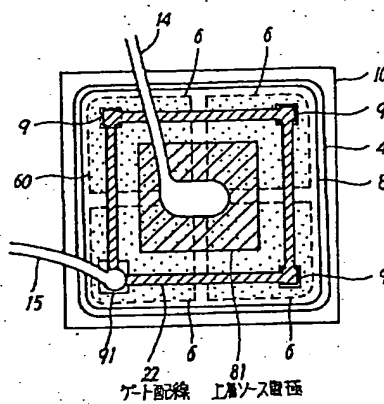
【図7】



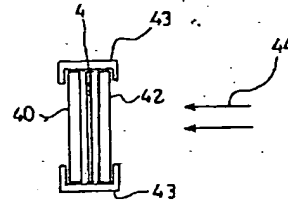
【図3】



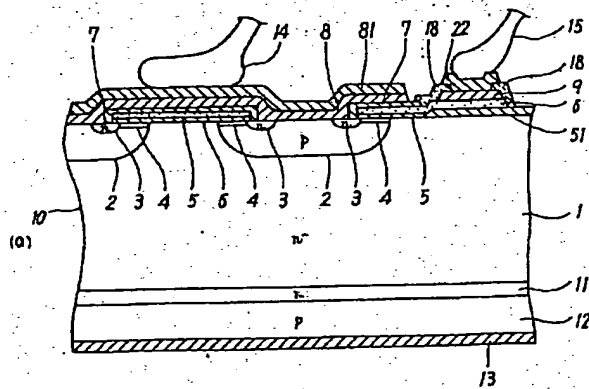
【図4】



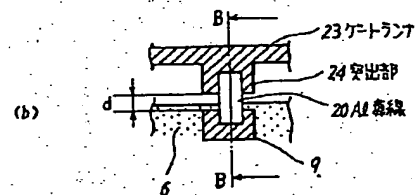
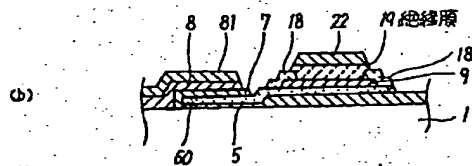
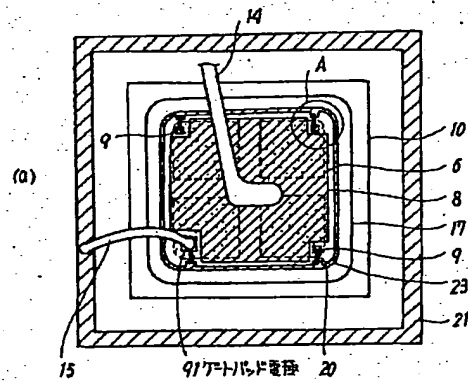
【図10】



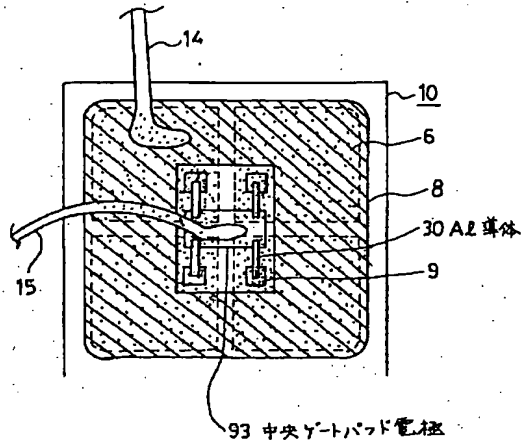
【図5】



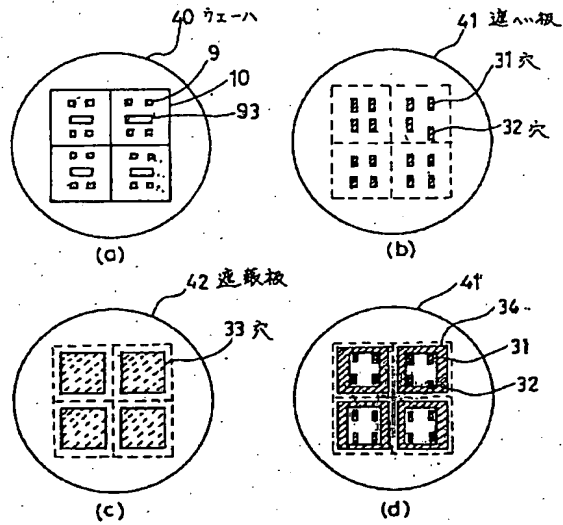
【図6】



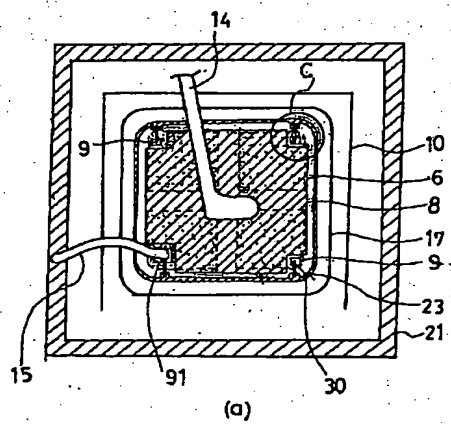
【図8】



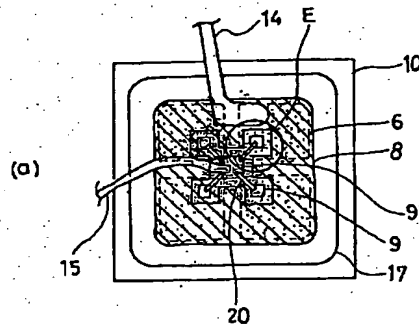
【図9】



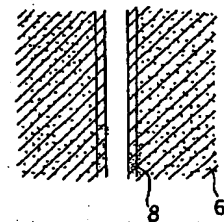
【図11】



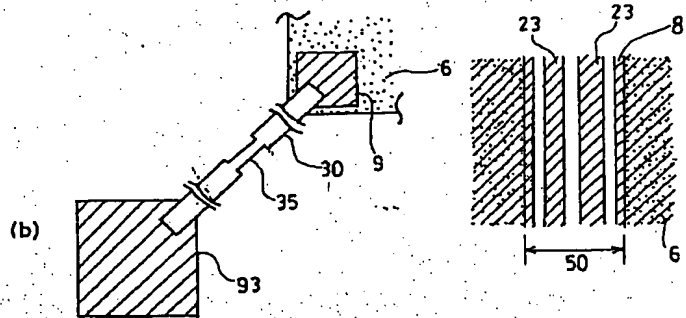
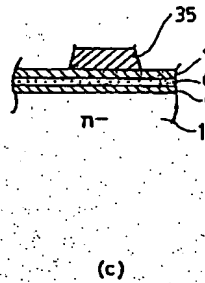
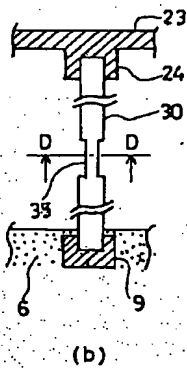
【図12】



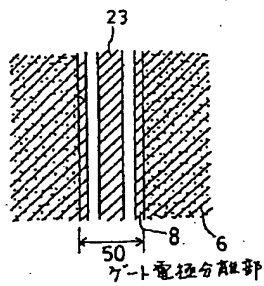
【図13】



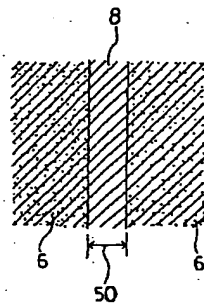
【図15】



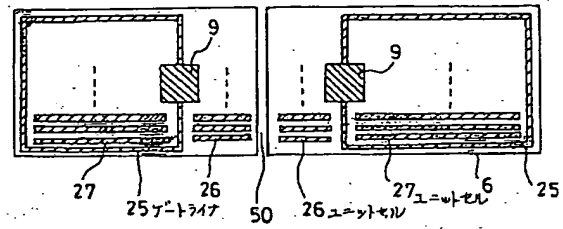
【図14】



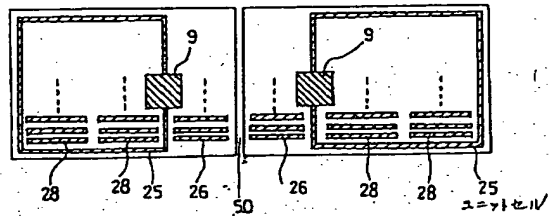
【図16】



【図17】



【図18】



フロントページの続き

- (31)優先権主張番号 特願平4-187173  
 (32)優先日 平4(1992)7月15日  
 (33)優先権主張国 日本(JP)